



05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 0 5 8 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 5 0 5 8 7]

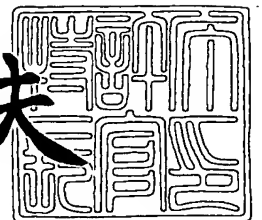
出 願 人 エルピーダメモリ株式会社
Applicant(s):



2 0 0 4 年 1 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 0 0 7

【書類名】 特許願

【整理番号】 22310284

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/04
H03K 5/13

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
会社内

【氏名】 石川 透

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114854

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D L L 回路

【特許請求の範囲】

【請求項 1】 入力クロック信号を遅延して、複数の遅延クロック信号を出力する第 1 遅延回路と、

前記複数の遅延クロック信号のうちから第 1 遅延クロック信号及び第 2 遅延クロック信号を選択して出力する第 1 セレクタと、

前記入力クロック信号を遅延して少遅延クロック信号を生成する第 2 遅延回路と、

前記少遅延クロック信号と前記第 1 遅延クロック信号と前記第 2 遅延クロック信号とのうちから 2 つの選択クロック信号を選択して出力する第 2 セレクタと、

前記選択クロック信号から内部クロック信号を生成して出力する遅延合成回路とを備えた

D L L (Digital Lock Loop) 回路。

【請求項 2】 請求項 1 に記載の D L L 回路において、

前記入力クロック信号から前記少遅延クロック信号が生成される遅延時間は、前記入力クロック信号から前記第 1 遅延クロック信号及び前記第 2 遅延クロック信号が生成される遅延時間よりも小さい

D L L 回路。

【請求項 3】 請求項 1 に記載の D L L 回路において、

前記少遅延クロック信号の数は、 M (M は 1 以上の整数) であり、

$M+2$ は、前記複数の遅延クロック信号の数 N よりも小さい

D L L 回路。

【請求項 4】 請求項 1 に記載の D L L 回路において、

前記第 1 遅延回路は、第 1 ～第 N 遅延素子を含み、

前記第 1 遅延素子の入力端子には、前記入力クロック信号が供給され、

前記第 i 遅延素子 (i は $N-1$ 以下の任意の自然数) の出力端子は、前記第 $i+1$ 遅延素子の入力端子に接続され、

前記第 1 セレクタは、前記第 m 遅延素子 (m は、1 以上 $N-1$ 以下の自然数の

うちから選択される数) 及び第 $m+1$ 遅延素子の出力端子からそれぞれに出力されるクロック信号を、前記第 1 遅延クロック信号及び前記第 2 遅延クロック信号として選択して出力する

DLL 回路。

【請求項 5】 請求項 4 に記載の DLL 回路において、
前記入力クロック信号から前記少遅延クロック信号が生成される遅延時間は、前記第 1 遅延素子の遅延時間と前記第 1 セレクタの遅延時間の和よりも短い

DLL 回路。

【請求項 6】 請求項 2 に記載の DLL 回路において、
前記少遅延クロック信号の数は、 M (M は 1 以上の整数) であり、
前記第 2 遅延回路は、前記入力クロック信号から前記少遅延クロック信号をそれぞれに生成する第 1 ～ 第 M 遅延器を含み、

前記第 2 ～ 第 N 遅延素子の遅延時間は、同一であり、

前記第 1 ～ 第 M 遅延器のうちの前記第 j 遅延器 (j は、 M 以下の任意の自然数) の遅延時間 t_{dj} は、前記第 1 遅延素子の遅延時間 T_{d2} 、前記第 1 セレクタの遅延時間 T_{d3} 、前記第 2 ～ 第 N 遅延素子の遅延時間 T_{d5} を用いて

$$t_{dj} = T_{d2} + T_{d3} - j \cdot T_{d5},$$

で表される

DLL 回路。

【請求項 7】 外部クロック信号を受けて、入力クロック信号を生成する入力バッファと、

前記入力クロック信号を遅延して複数の遅延クロック信号を出力する第 1 遅延回路と、

前記複数の遅延クロック信号のうちから第 1 遅延クロック信号及び第 2 遅延クロック信号を選択して出力する第 1 セレクタと、

前記入力クロック信号を遅延して第 1 少遅延クロック信号を生成する第 2 遅延回路と、

前記外部クロック信号を遅延して第 2 少遅延クロック信号を生成する第 3 遅延回路と、

前記第 1 少遅延クロック信号と前記第 2 少遅延クロック信号と前記第 1 遅延クロック信号と前記第 2 遅延クロック信号とのうちから 2 つの選択クロック信号を選択して出力する第 2 セレクタと、

前記選択クロック信号から内部クロック信号を合成して出力する遅延合成回路とを備えた

D L L 回路。

【請求項 8】 請求項 7 に記載の D L L 回路において、

前記入力クロック信号から前記第 1 少遅延クロック信号が生成される遅延時間は、前記入力クロック信号から前記第 1 遅延クロック信号及び前記第 2 遅延クロック信号が生成される遅延時間よりも小さく、

前記外部クロック信号から前記第 2 少遅延クロック信号が生成される遅延時間は、前記入力バッファの遅延時間と、前記入力クロック信号から前記第 1 少遅延クロック信号が生成される遅延時間の和よりも小さい

D L L 回路。

【請求項 9】 請求項 7 に記載の D L L 回路において、

前記第 1 遅延回路は、第 1 ～第 N 遅延素子を含み、

前記第 1 遅延素子の入力端子には、前記入力クロック信号が供給され、

前記第 i 遅延素子 (i は $N-1$ 以下の任意の自然数) の出力端子は前記第 $i+1$ 遅延素子の入力端子に接続され、

前記第 1 セレクタは、前記第 1 ～第 N 遅延素子のうちの第 m 遅延素子 (m は、1 以上 $N-1$ 以下の自然数のうちから選択される数) の出力端子及び第 $m+1$ 遅延素子の出力端子からそれぞれに出力されるクロック信号を前記第 1 遅延クロック信号及び前記第 2 遅延クロック信号として選択して出力する

D L L 回路。

【請求項 10】 請求項 9 に記載の D L L 回路において、

前記第 2 ～第 N 遅延素子の遅延時間は、同一であり、

前記第 1 少遅延クロック信号の数は、 M (M は、1 以上の整数) であり、

前記第 2 少遅延クロック信号の数は、 M' (M' は、1 以上の整数) であり

前記第 2 遅延回路は、前記第 1 少遅延クロック信号をそれぞれに生成する第 1 ～第 M 遅延器を含み、

前記第 3 遅延回路は、前記第 2 少遅延クロック信号をそれぞれに生成する第 1 ～第 M' 少遅延遅延器を含み、

前記第 1 ～第 M 遅延器のうちの第 j 遅延器 (j は M 以下の自然数) の遅延時間 t_{dj} と、前記第 1 ～第 M' 少遅延遅延器のうちの第 k 少遅延遅延器 (k は M' 以下の自然数) の遅延時間 t_{dk} とは、前記入力バッファの遅延時間 T_{d1} 、前記第 1 遅延素子の遅延時間 T_{d2} 、前記第 1 セレクタの遅延時間 T_{d3} 、及び前記第 2 ～第 N 遅延素子の遅延時間 T_{d5} を用いて、下記式：

$$t_{dj} = T_{d2} + T_{d3} - j \cdot T_{d5},$$

$$t_{dk'} = T_{d1} + T_{d2} + T_{d3} - (M+k) \cdot T_{d5}$$

で表される

DLL 回路。

【請求項 11】 請求項 1 乃至請求項 10 に記載の DLL 回路において、

前記遅延合成回路は、前記内部クロック信号の立ち上がりタイミングが、前記選択クロック信号の立ち上がりタイミングの間になるように、且つ、前記内部クロック信号の立ち下がりタイミングが前記選択クロック信号の立ち下がりタイミングの間になるように、前記内部クロック信号を前記選択クロック信号から生成して出力する

DLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DLL (Digital Lock Loop) 回路に関し、特に、あるクロック信号を所望の遅延時間だけ遅延して半導体装置の内部で使用する内部クロック信号を生成するために使用される DLL 回路に関する。

【0002】

【従来の技術】

半導体装置には、当該半導体装置の外部から供給される外部クロック信号を所

望の遅延時間だけ遅延して内部クロック信号を生成するDLL回路が搭載されることがある。例えば、シンクロナスメモリでは、外部クロック信号に同期してデータの出力を行うために、外部クロック信号から内部クロック信号が生成され、この内部クロック信号にデータの出力タイミングが同期される。データを出力する回路の遅延時間を考慮して、該内部クロック信号は、シンクロナスメモリからデータが出力されるタイミングが該外部クロック信号の立ち上がり（又は立ち下がり）タイミングと一致するような位相を有するように生成される。

【0003】

非特許文献1は、典型的なDLL回路を開示している。図8は、公知のそのDLL回路の概略図である。公知のそのDLL回路は、入力バッファ101と、遅延選択回路102と、遅延合成回路103とを含む。遅延選択回路102は、直列に接続された遅延素子 $104_1 \sim 104_N$ （Nは、2以上の自然数）と、セレクタ105とを含む。

【0004】

入力バッファ101の入力端子には、当該DLL回路の外部から供給される外部クロック信号CLK_{EX}が入力される。入力バッファ101は、外部クロック信号CLK_{EX}の波形を再生してクロック信号CLK₁を生成する。

【0005】

クロック信号CLK₁は、遅延選択回路102の第1段の遅延素子 104_1 の入力端子に入力される。直列に接続された遅延素子 $104_1 \sim 104_N$ は、それぞれに入力されたクロック信号を遅延し、その出力端子から、それぞれ、クロック信号 $T_1 \sim T_N$ を出力する。内部クロック信号CLK₁を基準としてクロック信号 T_p （pはN以下の自然数）の遅延時間は、pが大きいほど大きい。

【0006】

セレクタ105は、遅延素子 $104_1 \sim 104_N$ の出力端子からそれぞれ出力されるクロック信号 $T_1 \sim T_N$ のうち、隣接する2つの遅延素子から出力される2つのクロック信号FDLO、FDLEを選択して出力する。クロック信号FDLO、FDLEのうち、クロック信号FDLEは、偶数段の遅延素子 104_{2q} から出力されるクロック信号に対応し、クロック信号FDLOは、奇数段の遅延

素子 1042_{q+1} から出力されるクロック信号に対応する。ここで q は、 $2q+1$ が N を超えないように選択された自然数である。遅延合成回路 102 は、クロック信号 $F D L O$ 、 $F D L E$ を合成して内部クロック信号 $C L K I N$ を生成する。遅延合成回路 102 は、更に、その遅延時間（スルーレート）を微少に調整する機能を有している。

【0007】

公知のその $D L L$ 回路のスルーレートは、クロック信号 $T_1 \sim T_N$ のうちの 2 つを適切に選択してクロック信号 $F D L O$ 、 $F D L E$ を生成することによって所望の値の近傍に粗調節される。該 $D L L$ 回路のスルーレートは、更に、遅延合成回路 103 の動作によって所望の値に正確に調整される。

【0008】

公知のその $D L L$ 回路の一つの課題は、スルーレートを広範囲に調節可能にするために遅延素子 104₁ ~ 104_N の数を増加させると、当該 $D L L$ 回路が実現できる最小のスルーレート（以下では、単に、「最小スルーレート」と記載される）が大きくなってしまうことである。遅延素子 104₁ ~ 104_N の数を増加させると、セレクト 105 の入力端子の数も増加する。当業者にとって広く知られているように、セレクト 105 の入力端子の数が増加すると、それに伴ってセレクト 105 の遅延時間が増大する。セレクト 105 の遅延時間の増大により、当該 $D L L$ 回路の最小スルーレートも増大してしまう。 $D L L$ 回路の最小スルーレートが大きいことは、該 $D L L$ 回路が組み込まれた半導体装置の動作の高速化を妨げるため好ましくない。

【0009】

$D L L$ 回路は、その最小スルーレートが小さいことが望まれる。 $D L L$ 回路は、より好適には、スルーレートを広範囲に調節することが可能でありながら、その最小スルーレートが小さいことが望まれる。

【0010】

【非特許文献 1】

Tatsuya Matano et al., 「スルーレートが制御された出力バッファを含む、 1Gb/s/pin の 512Mb DDR2 SDRAM」 (A 1Gb/s/pin 512M

b DDR2 SDRAM using a digital DLL and a slew-rate-controlled output buffer”, 2002年VLSIシンポジウム:論文番号9-1

【0011】

【発明が解決しようとする課題】

本発明の目的は、最小スルーレートが小さいDLL回路を提供することにある。

本発明の他の目的は、スルーレートを広範囲に調節可能でありながら、最小スルーレートが小さいDLL回路を提供することにある。

【0012】

【課題を解決するための手段】

以下に、[発明の実施の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明の実施の形態]の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明によるDLL回路は、入力クロック信号(CLK1)を遅延して、複数の遅延クロック信号($T_1 \sim T_N$)を出力する第1遅延回路と、複数の遅延クロック信号($T_1 \sim T_N$)のうちから第1遅延クロック信号及び第2遅延クロック信号(CLK__E、CLK__O)を選択して出力する第1セクタ(7)と、入力クロック信号(CLK1)を遅延して少遅延クロック信号(CLKD)を生成する第2遅延回路(3)と、少遅延クロック信号(CLKD)と第1遅延クロック信号と第2遅延クロック信号(CLK__E、CLK__O)とのうちから2つの選択クロック信号(FDLE、FDLO)を選択して出力する第2セクタ(4)と、選択クロック信号(FDLE、FDLO)から内部クロック信号(CLKIN)を生成して出力する遅延合成回路(5)とを備えている。上述の少遅延クロック信号(CLKD)は、第1セクタ(7)を介することなく生成されるため、入力クロック信号(CLK1)からの遅延時間を小さくすることが可能である。当該DLL回路は、この少遅延クロック信号(CLKD)を用いて内部クロ

ック信号 (CLK_{IN}) を生成可能であり、従って、その最小スルーレートを小さくすることができる。

【0014】

このような構成は、入力クロック信号 (CLK₁) から前記少遅延クロック信号 (CLK_D) が生成される遅延時間が、前記入力クロック信号 (CLK₁) から第1遅延クロック信号及び第2遅延クロック信号 (CLK_E、CLK_O) が生成される遅延時間よりも小さい場合に有効である。

【0015】

より具体的には、少遅延クロック信号 (CLK_D) の数をM (Mは1以上の整数) として、M+2が複数の遅延クロック信号 (T₁～T_N) の数Nよりも小さい場合に、上述の構成が有効である。上記のDLL回路は、遅延クロック信号 (T₁～T_N) の数を多くすることによってそのスルーレートの取り得る範囲を大きくすることができる。その一方で、遅延クロック信号 (T₁～T_N) の数Nが大きくなると第1セレクタ (7) の遅延時間が大きくなり、第1セレクタ (7) を使用すると、最小スルーレートを小さくすることができなくなる。上述の構成は、第1セレクタ (7) を介することなく生成される少遅延クロック信号 (CLK_D) を用いて内部クロック信号 (CLK_{IN}) を生成することが可能であり、最小スルーレートを小さくすることが可能である。

【0016】

前記第1遅延回路 (6₁～6_N) は、直列に接続された第1～第N遅延素子を含んで構成されることが可能である。この場合、第1遅延素子 (6₁) の入力端子には、入力クロック信号 (CLK₁) が供給され、第i遅延素子 (6_i) (iはN-1以下の任意の自然数) の出力端子は、前記第i+1遅延素子 (6_{i+1}) の入力端子に接続される。第1セレクタ (7) は、第m遅延素子 (6_m) (mは、1以上N-1以下の自然数のうちから選択される数) 及び第m+1遅延素子 (6_{m+1}) の出力端子からそれぞれに出力されるクロック信号 (T_m、T_{m+1}) を、第1遅延クロック信号及び第2遅延クロック信号 (CLK_E、CLK_O) として選択して出力する。

【0017】

この場合、入力クロック信号 (CLK1) から少遅延クロック信号 (CLKD) が生成される遅延時間は、第1遅延素子の遅延時間 (6_1) と第1セレクタ (7) の遅延時間 (7) の和よりも短いことが好適である。

【0018】

少遅延クロック信号 (CLKD) の数は、1に限られない。少遅延クロック信号 (CLKD) の数は、M (Mは1以上の整数) であることが可能である。

【0019】

第2遅延回路 (3) が、入力クロック信号 (CLK1) から少遅延クロック信号 (CLKD) をそれぞれに生成する第1～第M遅延器 ($3_1 \sim 3_M$; $M=2$) を含む場合、第1遅延回路 ($6_1 \sim 6_N$) に含まれる第2～第N遅延素子 ($6_2 \sim 6_N$) の遅延時間は、同一であり、第2遅延回路 (3) の第1～第M遅延器 ($3_1, 3_2$) のうちの前記第j遅延器 (jは、M以下の任意の自然数) の遅延時間 t_{dj} は、前記第1遅延素子 (6_1) の遅延時間 T_{d2} 、第1セレクタ (7) の遅延時間 T_{d3} 、第2～第N遅延素子 ($6_2 \sim 6_N$) の遅延時間 T_{d5} を用いて

$$t_{dj} = T_{d2} + T_{d3} - j \cdot T_{d5},$$

で表されることが好適である。これにより、選択クロック信号 (FDLE、FDLO) の遅延時間の差は、いかなる場合にも T_{d5} で一定になり、遅延合成回路の設計の簡易化の点で好ましい。

【0020】

本発明によるDLL回路は、外部クロック信号 (CLKEX) を受けて、入力クロック信号 (CLK1) を生成する入力バッファ (1) と、入力クロック信号 (CLK1) を遅延して複数の遅延クロック信号 ($T_1 \sim T_N$) を出力する第1遅延回路 ($6_1 \sim 6_N$) と、複数の遅延クロック信号 ($T_1 \sim T_N$) のうちから第1遅延クロック信号及び第2遅延クロック信号 (CLK_E、CLK_O) を選択して出力する第1セレクタ (7) と、入力クロック信号 (CLK1) を遅延して第1少遅延クロック信号 (CLKD) を生成する第2遅延回路 (3) と、外部クロック信号 (CLKEX) を遅延して第2少遅延クロック信号 (CLKD') を生成する第3遅延回路 (3') と、第1少遅延クロック信号 (CLKD) と

第2少遅延クロック信号 (CLKD') と第1遅延クロック信号と第2遅延クロック信号 (CLK__E、CLK__O) とのうちから2つの選択クロック信号 (FDLE、FDLO) を選択して出力する第2セレクタ (4) と、選択クロック信号 (FDLE、FDLO) から内部クロック信号 (CLK_IN) を合成して出力する遅延合成回路 (5) とを備えている。当該DLL回路は、入力クロック信号 (CLK1) を生成するために、外部クロック信号 (CLK_EX) を受けて波形を再生する入力バッファ (1) が用いられる場合に、より最小スルーレートを小さくすることが可能である。

【0021】

この構成が採用される場合、入力クロック信号 (CLK1) から前記第1少遅延クロック信号 (CLKD) が生成される遅延時間は、入力クロック信号 (CLK1) から第1遅延クロック信号及び第2遅延クロック信号 (CLK__E、CLK__O) が生成される遅延時間よりも小さく、外部クロック信号 (CLK_EX) から第2少遅延クロック信号 (CLKD') が生成される遅延時間は、入力バッファ (1) の遅延時間と、入力クロック信号 (CLK1) から第1少遅延クロック信号 (CLKD) が生成される遅延時間の和よりも小さいことが好ましい。

【0022】

第1遅延回路 (6₁ ~ 6_N) は、直列に接続された第1 ~ 第N遅延素子 (6₁ ~ 6_N) を含んで構成されることが可能である。第1遅延素子 (6₁) の入力端子には、入力クロック信号 (CLK1) が供給され、第i遅延素子 (6_i) (i はN-1以下の任意の自然数) の出力端子は前記第i+1遅延素子 (6_{i+1}) の入力端子に接続される。第1セレクタ (7) は、第1 ~ 第N遅延素子 (6₁ ~ 6_N) のうちの第m遅延素子 (6_m) (mは、1以上N-1以下の自然数のうちから選択される数) の出力端子及び第m+1遅延素子 (6_{m+1}) の出力端子からそれぞれに出力されるクロック信号 (T_m、T_{m+1}) を第1遅延クロック信号及び第2遅延クロック信号 (CLK__E、CLK__O) として選択して出力する。

【0023】

第1少遅延クロック信号 (CLKD) の数と第2少遅延クロック信号 (CLK

D') の数とは、1に限られない。第1少遅延クロック信号 (CLKD) の数を、M (Mは、1以上の整数) とし、第2少遅延クロック信号 (CLKD') の数を、M' (M' は、1以上の整数) として、第2～第N遅延素子 (6₂～6_N) の遅延時間は、同一であり、第2遅延回路 (3) は、前記第1少遅延クロック信号 (CLKD) をそれぞれに生成する第1～第M遅延器 (3₁～3_M; M=2) を含み、第3遅延回路 (3') は、前記第2少遅延クロック信号 (CLKD) をそれぞれに生成する第1～第M' 少遅延遅延器 (3₁'～3_{M'}' ; M'=2) を含み、第1～第M遅延器 (3₁～3_M) のうちの第j遅延器 (3_j) (jはM以下の自然数) の遅延時間 t_{dj} と、前記第1～第M' 少遅延遅延器 (3₁'～3_{M'}') のうちの第k少遅延遅延器 (3_k') (kはM' 以下の自然数) の遅延時間 t_{dk} とは、入力バッファ (1) の遅延時間 T_{d1}、第1遅延素子 (6₁) の遅延時間 T_{d2}、第1セレクタ (7) の遅延時間 T_{d3}、及び第2～第N遅延素子 (6₂～6_N) の遅延時間 T_{d5} を用いて、下記式:

$$t_{dj} = T_{d2} + T_{d3} - j \cdot T_{d5},$$

$$t_{dk}' = T_{d1} + T_{d2} + T_{d3} - (M+k) \cdot T_{d5}$$

で表されることが好適である。これにより、選択クロック信号 (FDLE、FDLO) の遅延時間の差は、いかなる場合にも T_{d5} で一定になり、遅延合成回路の設計の簡易化の点で好ましい。

【0024】

当該DLL回路において、遅延合成回路 (5) は、内部クロック信号 (CLKIN) の立ち上がりタイミングが、選択クロック信号 (FDLE、FDLO) の立ち上がりタイミングの間になるように、且つ、内部クロック信号 (CLKIN) の立ち下がりタイミングが前記選択クロック信号 (FDLE、FDLO) の立ち下がりタイミングの間になるように、内部クロック信号 (CLKIN) を選択クロック信号 (FDLE、FDLO) から生成して出力することが好適である。

【0025】

【発明の実施の形態】

本発明の実施の一形態は、図1に示されているように、その外部から供給される外部クロック信号 CLK_{EX} を所望の遅延時間だけ遅延して、内部クロック信

号 CLK_{IN} を生成する DLL 回路である。当該 DLL 回路は、入力バッファ 1 と、遅延選択回路 2 と、遅延器 3 と、セクタ 4 と、遅延合成回路 5 とを備えている。

【0026】

入力バッファ 1 は、その入力端子に供給される外部クロック信号 CLK_{EX} の波形を再生してクロック信号 CLK_1 を生成する。入力バッファ 1 は、クロック信号 CLK_1 を遅延選択回路 2 に出力する。クロック信号 CLK_1 は、遅延選択回路 2 に入力される。

【0027】

遅延選択回路 2 は、クロック信号 CLK_1 を遅延して、2 つのクロック信号 CLK_E 、 CLK_O を生成する。遅延選択回路 2 の遅延時間（即ち、クロック信号 CLK_1 からクロック信号 CLK_E が生成される遅延時間と、クロック信号 CLK_1 からクロック信号 CLK_O が生成される遅延時間）は、可変である。遅延選択回路 2 は、当該 DLL 回路のスルーレートを粗く調整する役割を果たす。

【0028】

遅延選択回路 2 は、直列に接続された複数の遅延素子 $6_1 \sim 6_N$ と、セクタ 7 とを備えている。遅延素子 $6_1 \sim 6_N$ は、クロック信号 CLK_1 から、位相が互いに異なる複数のクロック信号 $T_1 \sim T_N$ を生成するために使用される遅延回路である。遅延選択回路 2 に供給されるクロック信号 CLK_1 は、第 1 段の遅延素子 6_1 の入力端子に入力される。遅延素子 6_1 の出力端子は第 2 段の遅延素子 6_2 の入力端子に接続され、遅延素子 6_2 は、遅延素子 6_1 が生成するクロック信号 T_1 を遅延してクロック信号 T_2 を出力する。以下同様に、第 i 段の遅延素子 6_i の出力端子は、第 $i+1$ 段の遅延素子 6_{i+1} に接続され、第 $i+1$ 段の遅延素子 6_{i+1} は、第 i 段の遅延素子 6_i が出力するクロック信号 T_i を遅延してクロック信号 T_i を出力する。ここで i は、1 以上 $N-1$ 以下の整数である。遅延選択回路 2 に入力される信号の波形を再生して出力するために、第 1 段の遅延素子 6_1 としてはバッファが使用される。このため、遅延素子 6_1 は、以下において、バッファ 6_1 と記載されることがある。遅延素子 $6_1 \sim 6_N$ がそれぞれ

れに出力するクロック信号 $T_1 \sim T_N$ は、セレクタ 7 に入力される。

【0029】

セレクタ 7 は、遅延素子 $6_1 \sim 6_N$ からそれぞれ出力されるクロック信号 $T_1 \sim T_N$ のうち、隣接する 2 つの遅延素子 $6_m, 6_{m+1}$ (m は、 $N-1$ 以下の自然数) が生成するクロック信号 T_m, T_{m+1} を選択し、クロック信号 CLK_E 、 CLK_O として出力する。遅延素子 $6_m, 6_{m+1}$ の一方は、偶数段の遅延素子であり、他方は奇数段の遅延素子である。クロック信号 CLK_E は、クロック信号 T_m, T_{m+1} のうち、偶数段である遅延素子によって生成されるクロック信号であり、クロック信号 CLK_O は、奇数段である遅延素子によって生成されるクロック信号である。例えば、セレクタ 7 によってクロック信号 T_1 とクロック信号 T_2 とが選択される場合、クロック信号 T_1 がクロック信号 CLK_O として出力され、クロック信号 T_2 がクロック信号 CLK_E として出力される。一方、セレクタ 7 によってクロック信号 T_2 とクロック信号 T_3 とが選択される場合、クロック信号 T_2 がクロック信号 CLK_E として出力され、クロック信号 T_3 がクロック信号 CLK_O として出力される。クロック信号 $T_1 \sim T_N$ のうちのいずれがクロック信号 CLK_E 、 CLK_O として選択されるかは、図示されないコントローラによって制御される。

【0030】

遅延選択回路 2 に含まれる遅延素子 $6_1 \sim 6_N$ の数 N は、当該 D L L 回路のスルーレートの調整可能範囲の広さを決定する。当該 D L L 回路のスルーレートの調整可能範囲を広くするために、多くの遅延素子 $6_1 \sim 6_N$ が使用される。遅延素子 $6_1 \sim 6_N$ の数 N は、典型的には、128 である。遅延素子 $6_1 \sim 6_N$ の数 N が多いため、セレクタ 7 の遅延時間は、比較的大きい。

【0031】

上述の入力バッファ 1 が出力するクロック信号 CLK_1 は、更に、遅延器 3 の入力端子に入力される。遅延器 3 は、クロック信号 CLK_1 を遅延してクロック信号 CLK_D を生成する。

【0032】

遅延器 3 の遅延時間 t_d は、遅延選択回路 2 の第 1 段の遅延素子 6_1 の遅延時

間 T_{d2} とセクタ 7 の遅延時間 T_{d3} との和よりも小さい。遅延素子 6₁ の遅延時間 T_{d2} 、及びセクタ 7 の遅延時間 T_{d3} との和は、遅延選択回路 2 が取り得る最小の遅延時間であるから、遅延器 3 の遅延時間 t_d は、遅延選択回路 2 の最小の遅延時間よりも小さい。

【0033】

クロック信号 $CLKD$ は、遅延時間が大きいセクタ 7 を介することなく生成されるため、外部クロック信号 CLK_{EX} からクロック信号 $CLKD$ への遅延時間は、小さくすることが可能である。

【0034】

遅延選択回路 2 のセクタ 7 が出力するクロック信号 CLK_E 、 CLK_O と、遅延器 3 が出力するクロック信号 $CLKD$ とは、セクタ 4 の 3 個の入力端子にそれぞれ入力される。セクタ 4 は、2 つの出力端子を有し、クロック信号 $CLKD$ 、 CLK_E 、 CLK_O のうちの 2 つをその出力端子から選択的に出力する。クロック信号 $CLKD$ 、 CLK_E のうちの一方がクロック信号 FDE として出力され、クロック信号 CLK_O がクロック信号 FDO として選択されて出力される。セクタ 4 の入力端子の数は 3 つと少ないため、セクタ 4 の遅延時間は、遅延選択回路 2 のセクタ 7 の遅延時間と比べると極めて小さく、実用的には無視できる程度である。

【0035】

遅延合成回路 5 は、セクタ 4 が出力するクロック信号 FDO 、 FDE を合成して内部クロック信号 CLK_{IN} を生成するアナログ回路である。より詳細には、遅延合成回路 5 は、内部クロック信号 CLK_{IN} の立ち上がりタイミングが、クロック信号 FDO 及びクロック信号 FDE の立ち上がりタイミングの間になるように、且つ、内部クロック信号 CLK_{IN} の立ち下がりタイミングがクロック信号 FDO 及びクロック信号 FDE の立ち下がりタイミングの間になるように、内部クロック信号 CLK_{IN} を生成して出力する。

【0036】

内部クロック信号 CLK_{IN} は、クロック信号 FDO 、 FDE の合成比率 R ($0 \leq R \leq 1$) を示すバイアス電位 $BIAS_O$ 、 $BIAS_E$ に応答して生成さ

れる。合成比率 R とは、内部クロック信号 CLK_{IN} の外部クロック信号 CLK_{EX} からの遅延時間（即ち、当該 DLL 回路のスルーレート）を決定するパラメータである。クロック信号 F_{DLO} 、 F_{DLE} の外部クロック信号 CLK_{EX} からの遅延時間をそれぞれ T_a 、 T_b としたとき、内部クロック信号 CLK_{IN} は、外部クロック信号 CLK_{EX} からの内部クロック信号 CLK_{IN} の遅延時間 T_{DLL} が下記式：

$$T_{DLL} = T_a + (T_b - T_a) * R \quad \cdots (1)$$

で表されるように生成される。合成比率を R とすることは、クロック信号 F_{DLE} を $100 \times R$ （％）、クロック信号 F_{DLO} を $100 \times (1 - R)$ （％）の割合で合成すると表現されることがある。例えば、合成比率 R が 1 とすることは、クロック信号 F_{DLE} を 100（％）、クロック信号 F_{DLO} を 0（％）の割合で合成すると表現され得る。

【0037】

バイアス電位 B_{IASO} 、 B_{IASE} は、所望の合成比率 R を示すようにコントローラによって決定されて遅延合成回路 5 に供給される。遅延合成回路 5 は、当該 DLL 回路のスルーレートを微調整する機能を果たす。

【0038】

図 2 は、遅延合成回路 5 の回路図の一例を示す。遅延合成回路 5 は、インバータ 11～14、 N チャネル $MOSFET$ （Metal Oxide Semiconductor Field Effect Transistor）15、16、 $NAND$ ゲート 17、 P チャネル $MOSFET$ 18、19、 N チャネル $MOSFET$ 20、21、及び P チャネル $MOSFET$ 22 を含む。クロック信号 F_{DLO} 、 F_{DLE} は、それぞれ、インバータ 11、12 の入力端子に供給される。インバータ 11 の出力端子は、インバータ 13 を介して N チャネル $MOSFET$ 15 のゲートに接続され、インバータ 12 の出力端子は、インバータ 14 を介して N チャネル $MOSFET$ 16 のゲートに接続される。インバータ 11、12 の出力端子は、更に、 $NAND$ ゲート 17 の入力端子に接続されている。 $NAND$ ゲート 17 の出力端子は、 P チャネル $MOSFET$ 18、19 のゲートに接続されている。 P チャネル $MOSFET$ 18、19 のソースは、電源電位を有する電源端子 23、24 にそれぞれ接続され、 P チャネ

ルMOSFET18、19のドレインは、それぞれ、NチャネルMOSトランジスタ15、16のドレインに接続されている。NチャネルMOSトランジスタ15、16のソースは、接地電位を有する接地端子25、26に接続されている。NチャネルMOSトランジスタ15、16のドレインは、更に、それぞれNチャネルMOSトランジスタ20、21のソースに接続されている。NチャネルMOSトランジスタ20、21のゲートには、それぞれ、既述のバイアス電位BIASE、及びBIASOが供給される。NチャネルMOSトランジスタ20、21のドレインは、PチャネルMOSトランジスタ22のドレインに接続されている。PチャネルMOSトランジスタ22のゲートは、既述のNANDゲート17の出力端子に接続され、PチャネルMOSトランジスタ22のソースは、電源電位を有する電源端子27に接続されている。内部クロックCLK_{IN}は、NチャネルMOSトランジスタ20、21のドレインに接続される出力端子から出力される。

【0039】

図1を参照して、本実施の形態のDLL回路は、下記の動作によって所望のスルーレートを有する状態に設定され（即ち、所望の遅延時間を有する状態に設定され）、外部クロック信号CLK_{EX}から内部クロック信号CLK_{IN}を生成する。

【0040】

外部クロック信号CLK_{EX}が入力バッファ1に入力され、クロック信号CLK1が生成される。クロック信号CLK1は、遅延選択回路2に入力され、遅延選択回路2の内部におけるクロック信号T₁～T_Nの生成に使用される。更にクロック信号CLK1は、遅延回路3に入力され、クロック信号CLKDが生成される。

【0041】

コントローラ（図示されない）は、当該DLL回路のスルーレートの所望値を決定する。例えば、当該DLL回路が外部クロックCLK_{EX}に同期してデータを出力するシンクロナスDRAMに適用される場合には、外部クロックCLK_{EX}から内部クロック信号CLK_{IN}への遅延時間と、内部クロック信号CLK_I

N に同期して該データを出力する回路の遅延時間との和が、外部クロック CLK_{EX} の周期と一致するように外部クロック CLK_{EX} から内部クロック信号 CLK_{IN} への遅延時間の所望値が決定される。

【0042】

スルーレートの所望値に応答して、コントローラはクロック信号 $T_1 \sim T_N$ のいずれをクロック信号 CLK_E 、 CLK_O として出力するかを示す制御信号を生成し、遅延選択回路 2 のセクタ 7 に出力する。セクタ 7 は、該制御信号に応答してクロック信号 CLK_E 、 CLK_O を出力する。

【0043】

更にコントローラは、スルーレートの所望値に応答して、クロック信号 CLK_D 、 CLK_E 、 CLK_O のいずれをクロック信号 $FDLO$ 、 $FDLE$ として出力するかを決定する。

【0044】

更にコントローラは、決定したスルーレートの所望値に応答して、クロック信号 $FDLE$ 及び $FDLO$ の合成比率 R を示すバイアス電圧 $BIASE$ 、 $BIASO$ を生成する。遅延合成回路 5 は、バイアス電圧 $BIASE$ 、 $BIASO$ に応答して、クロック信号 $FDLO$ 、 $FDLE$ から内部クロック信号 CLK_{IN} を合成して出力する。

【0045】

当該 DLL 回路のスルーレートの所望値が大きい場合には、クロック信号 CLK_E 、 CLK_O として最後段の遅延素子 6_N に近い遅延素子から出力されるクロック信号がセクタ 7 によって選択され、更に、クロック信号 $FDLO$ 、 $FDLE$ として、それぞれクロック信号 CLK_O 、 CLK_E がセクタ 4 によって選択される。即ち、選択されるクロック信号をクロック信号 T_m 、 T_{m+1} とすると、スルーレートの所望値が大きい場合には、 m が大きくなるようにクロック信号 T_m 、 T_{m+1} は選択される。これにより、外部クロック信号 CLK_{EX} からクロック信号 CLK_E 、 CLK_O への遅延時間が長くなり、当該 DLL 回路のスルーレートが長くなる。遅延素子 $6_1 \sim 6_N$ の数 N を大きくすることにより、当該 DLL 回路のスルーレートの最大値を大きくすることが可能である。

【0046】

一方、当該DLL回路のスルーレートの所望値が小さい場合には、クロック信号CLK_E、CLK_Oとして第1段の遅延素子6₁に近い遅延素子から出力されるクロック信号がセクタ7によって選択される。これにより、外部クロック信号CLK_EXからクロック信号CLK_E、CLK_Oへの遅延時間が短くなり、当該DLL回路のスルーレートが短くなる。

【0047】

当該DLL回路のスルーレートを当該DLL回路の最小スルーレートに近づけるためには、クロック信号CLK_O、CLK_Eとしてそれぞれクロック信号T₁、T₂が選択される。更に、遅延器3から供給されるクロック信号CLKDと遅延選択回路2から供給されるクロック信号CLK_Oとが、クロック信号FDLE、FDLOとして、それぞれ選択される。これにより、外部クロック信号CLK_EXからクロック信号FDLE、FDLOへの遅延時間が短くなり、当該DLL回路のスルーレートが一層に短くなる。

【0048】

当該DLL回路のスルーレートを、最小スルーレートにするためには、更に、クロック信号FDLO、FDLEの合成比率Rを1にして、即ち、クロック信号FDLEを100%、クロック信号FDLOを0%の割合で合成して内部クロック信号CLK_INが生成される。

【0049】

以上の動作を行う本実施の形態のDLL回路は、クロック信号CLKDを用いて内部クロック信号CLK_INを生成することが可能であるため、その最小スルーレートが小さい。図3は、当該DLL回路が、そのスルーレートを最小にする動作を示すタイミングチャートである。当該DLL回路のスルーレートを最小にする場合、クロック信号FDLEとしてクロック信号CLKDが選択される。更に、合成比率Rを1にすることにより、内部クロック信号CLK_INは純粹にクロック信号FDLEから生成される。従って、内部クロック信号CLK_INは、その立ち上がり及び立ち下がりタイミングを含めて実質的にクロック信号CLK

Dと同一の波形を有する。更に、クロック信号CLKDは遅延時間が大きいセクタ7を介することなく生成されるため、外部クロック信号CLKEXからクロック信号CLKDへの遅延時間は小さい。従って、本実施のDLL回路は、その最小スルーレートが小さくなるように内部クロック信号CLKINを生成することが可能である。

【0050】

本実施の形態のDLL回路の最小スルーレート $T_{dm\min}$ は、下記式：

$$T_{dm\min} = T_{d1} + t_d,$$

で表される。ここで、 T_{d1} は入力バッファ1の遅延時間、 t_d は、遅延器3の遅延時間である。この考察では、セクタ4、及び遅延合成回路5の遅延時間は極めて小さいため無視されている。既述のとおり、遅延器3の遅延時間 t_d は、遅延素子61の遅延時間 T_{d2} 、セクタ7の遅延時間 T_{d3} よりも小さいため、

$$T_{dm\min} < T_{d1} + T_{d2} + T_{d3}, \quad \dots (2)$$

である。

【0051】

本実施の形態のDLL回路が、図8の従来のDLL回路よりも最小スルーレートを小さくできることは、下記の考察より裏付けられる。図9は、従来のDLL回路がそのスルーレートを最小にする動作を示すタイミングチャートである。従来のDLL回路がそのスルーレートを最小にするためには、クロック信号T1、T2がそれぞれクロック信号FDLO、FDLEとして選択され、クロック信号FDLO、FDLEから内部クロック信号CLKINが生成される。

【0052】

従来のDLL回路の最小スルーレート $T_{dm\min}'$ は、

$$T_{dm\min}' = T_{d1}' + T_{d2}' + T_{d3}',$$

で表される。ここで T_{d1}' は入力バッファ101の遅延時間、 T_{d2}' は遅延素子1041の遅延時間、 T_{d3} はセクタ105の遅延時間である。入力バッファ101、遅延素子1041、セクタ105として、それぞれ、本実施の形態の入力バッファ1、遅延素子61、セクタ7と同一の特性を有する素子が使

用されたとすると、従来のDLL回路の最小スルーレート T_{dmin}' は、 $T_{d1} + T_{d2} + T_{d3}$ である。式(2)から理解されるように、本実施の形態のDLL回路は、その最小スルーレート T_{dmin} を、従来のDLL回路の最小スルーレート T_{dmin}' よりも小さくすることが可能である。

【0053】

以上に説明されているように、本実施の形態のDLL回路は、遅延素子 $6_1 \sim 6_N$ の数 N を多くすることによってスルーレートの調整可能範囲を増大することが可能でありながら、クロック信号 $CLKD$ を使用して内部クロック信号 $CLKIN$ を生成することによってその最小スルーレートを小さくすることが可能である。

【0054】

本実施の形態において、遅延素子 $6_2 \sim 6_N$ それぞれの遅延時間は、いずれも同一の T_{d5} にされ、遅延器3の遅延時間 t_d は、下記式：

$$t_d = T_{d2} + T_{d3} - T_{d5}, \quad \dots (3)$$

となるように定められることが好適である。ここで上述のように、 T_{d2} は遅延素子 6_1 の遅延時間であり、 T_{d3} はセレクタ7の遅延時間である。このように遅延器3及び遅延素子 $6_2 \sim 6_N$ の遅延時間を定めることにより、外部クロック信号 $CLKEX$ を基準としたときの、遅延合成回路5に供給される2つのクロック信号 F_{DLE} 及びクロック信号 F_{DLO} の遅延時間の間隔(差)は、 T_{d5} で一定になる。クロック信号 F_{DLE} 及びクロック信号 F_{DLO} の遅延時間の間隔が一定であることは、クロック信号 F_{DLE} 及びクロック信号 F_{DLO} としていずれのクロック信号が選択されるのにも関わらず遅延合成回路5の特性を調整する必要がないことを意味しており好ましい。クロック信号 F_{DLE} 及びクロック信号 F_{DLO} の遅延時間の間隔が一定であることは、コントローラによってバイアス電圧 B_{IASO} 、 B_{IASE} を生成することを容易化できる点でも好ましい。

【0055】

本実施の形態において、DLL回路の最小スルーレートを更に小さくするためには、図4に示されているように、遅延器3'が追加されることが好適である。

遅延器 3' は、入力バッファ 1 を介さずに外部クロック信号 CLK_{EX} を受けて外部クロック信号 CLK_{EX} を遅延し、クロック信号 $CLK_{D'}$ を生成する。遅延器 3' の遅延時間 $t_{d'}$ は、入力バッファ 1 の遅延時間 T_{d1} と遅延器 3 の遅延時間 t_d との和よりも小さくなるように定められる。セレクタ 4 は、クロック信号 $CLK_{D'}$ 、 CLK_D 、 $CLK_{_E}$ 、 $CLK_{_O}$ のうちの 2 つをクロック信号 $FDLE$ 及びクロック信号 $FULO$ として出力する。図 4 の構成の DLL 回路のスルーレートを最小にするためには、図 5 に示されているように、クロック信号 $CLK_{D'}$ 、 CLK_D がクロック信号 $FDLE$ 、 $FULO$ として選択されて内部クロック信号 CLK_{IN} が生成される。外部クロック信号 CLK_{EX} からの遅延時間が一層に小さいクロック信号 $CLK_{D'}$ が内部クロック信号 CLK_{IN} の生成に使用されることにより、DLL 回路の最小スルーレートを一層に小さくすることが可能である。

【0056】

遅延器 3' が追加される場合、遅延素子 $6_2 \sim 6_N$ それぞれの遅延時間は、いずれも同一の T_{d5} にされ、遅延器 3 の遅延時間 t_d が上述の式 (3) に従って定められ、更に、遅延器 3' の遅延時間 $t_{d'}$ は、

$$t_{d'} = T_{d1} + T_{d2} + T_{d3} - 2 \cdot T_{d5} \quad \cdots (4)$$

を満足するように定められることが好適である。このように遅延時間を決定することは、外部クロック信号 CLK_{EX} を基準としたときの、遅延合成回路 5 に供給される 2 つのクロック信号 $FDLE$ 及びクロック信号 $FULO$ の遅延時間の間隔 (差) を T_{d5} で一定にし、上述と同一の理由によって好ましい。

【0057】

更に本実施の形態において、図 6 に示されているように、複数のクロック信号 CLK_D が、内部クロック信号 CLK_{IN} の生成に使用されることが可能である。

複数のクロック信号 CLK_D の生成のために、複数の遅延器 3 が入力バッファ 1 の出力端子とセレクタ 4 の間に介設される。複数の遅延器 3 の遅延時間は、外部クロック CLK_{IN} を基準としたときの該複数のクロック信号 CLK_D の遅延時間が、いずれも遅延選択回路 2 の第 1 段の遅延素子 6_1 の遅延時間 T_{d2} とセレ

クタ 7 の遅延時間 T_{d3} との和よりも小さく、且つ、互いに異なるように選択される。図 6 の D L L 回路では、2 つのクロック信号 C L K D をそれぞれ生成するために 2 つの遅延器 3 が用いられている。その複数のクロック信号 C L K D 及びそれらを生成する遅延器 3 は、添字 1、2 によって区別されている。

【0058】

図 6 の構成が採用される場合、D L L 回路の動作は、下記のように修正される。遅延器 3 によって生成される複数のクロック信号 C L K D は、セクタ 4 に入力される。セクタ 4 は、遅延選択回路 2 から送られるクロック信号 C L K__O、C L K__E と、該複数のクロック信号 C L K D のうちの 2 つをクロック信号 F D L E、F D L O として選択し、遅延合成回路 5 は、そのクロック信号 F D L E、F D L O から内部クロック信号 C L K I N を生成する。当該 D L L 回路のスルーレートを小さくする場合、複数のクロック信号 C L K D のうちの 2 つがクロック信号 F D L E、F D L O として選択される。

【0059】

図 6 の構成は、スルーレートが小さい領域における当該 D L L 回路が取り得るスルーレートの幅を拡大できる点で好適である。

【0060】

生成されるクロック信号 C L K D の数及び遅延器 3 の数は、2 に限られない。但し、クロック信号 C L K D の数が多くなるとセクタ 4 の遅延時間が大きくなって最小スルーレートを小さくすることができなくなる。このため、図 6 の構成は、遅延選択回路 2 に含まれるセクタ 7 の入力端子の数よりもセクタ 4 の入力端子の数が少ない構成、特に、セクタ 7 の入力端子の数よりもセクタ 4 の入力端子の数が極めて小さい構成である場合に有効である。

【0061】

図 6 の構成が採用される場合、遅延素子 $6_2 \sim 6_N$ それぞれの遅延時間は、いずれも同一の T_{d5} にされ、且つ、遅延器 3_j の遅延時間 t_{dj} は、M を遅延器 3 の数として、

$$t_{dj} = T_{d2} + T_{d3} - j \cdot T_{d5} \quad (j \text{ は、} M \text{ 以下の自然数}),$$

を満足するように定められることが好適である。このように遅延時間を定めるこ

とは、遅延合成回路 5 に供給される 2 つのクロック信号 $FDLE$ 及びクロック信号 $FDLO$ の遅延時間の間隔 (差) を $Td5$ で一定にするため好ましい。

【0062】

更に、図 7 に示されているように、外部クロック信号 CLK_{EX} から複数のクロック信号 $CLKD'$ が生成され、この複数のクロック信号 $CLKD'$ から内部クロック信号 CLK_{IN} が生成されることが可能である。図 7 では、複数のクロック信号 $CLKD'$ は、添字 1、2 によって区別されている。即ち、図 7 の構成では遅延器 $3_1'$ 、 $3_2'$ によってそれぞれ生成されるクロック信号 $CLKD_1'$ 、 $CLKD_2'$ を用いて内部クロック信号 CLK_{IN} が生成される。

【0063】

このとき、図 6 の構成と同様に、クロック信号 CLK_1 から複数のクロック信号 $CLKD$ が生成され、この複数のクロック信号 $CLKD$ が内部クロック信号 CLK_{IN} の生成に使用されることが可能である。図 7 には、複数のクロック信号 $CLKD_1$ 、 $CLKD_2$ が内部クロック信号 CLK_{IN} の生成に使用される構成が示されている。

【0064】

遅延器 3、 $3'$ の遅延時間は、外部クロック CLK_{IN} を基準としたときの該複数のクロック信号 $CLKD$ 、及び $CLKD'$ の遅延時間が、入力バッファ 1、の遅延時間 Td_1 と遅延選択回路 2 の第 1 段の遅延素子 6_1 の遅延時間 Td_2 とセレクタ 7 の遅延時間 Td_3 との和よりも小さく、且つ、互いに異なるように選択される。

【0065】

図 7 の DLL 回路の動作は、下記のように修正される。遅延器 3、 $3'$ によってそれぞれ生成されるクロック信号 $CLKD$ 、 $CLKD'$ は、セレクタ 4 に入力される。セレクタ 4 は、遅延選択回路 2 から送られるクロック信号 $CLK_{__O}$ 、 $CLK_{__E}$ と、該複数のクロック信号 $CLKD$ 、 $CLKD'$ のうちの 2 つをクロック信号 $FDLE$ 、 $FDLO$ として選択し、遅延合成回路 5 は、そのクロック信号 $FDLE$ 、 $FDLO$ から内部クロック信号 CLK_{IN} を生成する。当該 DLL 回路のスルーレートを小さくする場合、クロック信号 $CLKD$ 、 $CLKD'$ のう

ちの2つがクロック信号FDLE、FDLOとして選択される。

【0066】

図7の構成は、最小スルーレートを更に小さくすることが可能であると同時に、スルーレートが小さい領域における当該DLL回路が取り得るスルーレートの幅を拡大できる点で好適である。

【0067】

図7の構成が採用される場合、遅延器3'のうち、最も遅延時間が小さい遅延器の遅延時間は、入力バッファ1の遅延時間Td1と、遅延器3のうちの最も遅延時間が小さい遅延器の遅延時間との和よりも小さいことが好適である。これにより、DLL回路の最小スルーレートを一層に小さくすることが可能である。

【0068】

更に、任意の遅延器3'の遅延時間は、入力バッファ1の遅延時間Td1と、遅延器3のうちの最も遅延時間が小さい遅延器の遅延時間との和よりも小さいことが好適である。これにより、最小スルーレートを更に小さくすることが可能であると同時に、スルーレートが小さい領域における当該DLL回路が取り得るスルーレートの幅を一層に拡大できる。

【0069】

この場合、遅延素子6₂～6_Nそれぞれの遅延時間は、いずれも同一のTd5にされ、且つ、遅延器3_j、3_k'のそれぞれの遅延時間td_j、td_k'は、下記式：

$$td_j = Td_2 + Td_3 - j \cdot Td_5 \quad \dots (5)$$

$$td_k' = Td_1 + Td_2 + Td_3 - (M+k) \cdot Td_5 \quad \dots (6)$$

を満足するように定められることが好適である。但しjは、遅延器3の数M以下の自然数であり、kは、遅延器3'の数M'以下の自然数である。例えば、図7の構成では、遅延器3₁、3₂の遅延時間td₁、td₂が

$$td_1 = Td_2 + Td_3 - Td_5$$

$$td_2 = Td_2 + Td_3 - 2 \cdot Td_5$$

となるように定められ、遅延器3₁'、3₂'の遅延時間td₁'、td₂'が

$$td_1' = Td_1 + Td_2 + Td_3 - 3 \cdot Td_5$$

$$t_{d2}' = T_{d1} + T_{d2} + T_{d3} - 4 \cdot T_{d5}$$

となるように定められる。このように遅延時間を決定することは、外部クロック信号CLK_{EX}を基準としたときの、遅延合成回路5に供給される2つのクロック信号FDLE及びクロック信号FDLOの遅延時間の間隔（差）をT_{d5}で一定にするため好ましい。

【0070】

図7の構成において、生成されるクロック信号CLK_D、CLK_{D'}の数及び遅延器3、3'の数は、2に限られない。但し、クロック信号CLK_D、CLK_{D'}の総数が多くなるとセクタ4の遅延時間が大きくなって最小スルーレートを小さくすることができなくなる。このため、図7の構成は、遅延選択回路2に含まれるセクタ7の入力端子の数よりもセクタ4の入力端子の数が少ない構成、特に、セクタ7の入力端子の数よりもセクタ4の入力端子の数が極めて小さい構成である場合に有効である。

【0071】

【発明の効果】

本発明により、最小スルーレートが小さいDLL回路が提供される。

また、本発明により、スルーレートを広範囲に調節可能でありながら、最小スルーレートが小さいDLL回路が提供される。

【図面の簡単な説明】

【図1】

図1は、本発明による実施の一形態のDLL回路を示す。

【図2】

図2は、遅延合成回路5の構成を示す。

【図3】

図3は、本実施の形態のDLL回路の動作を示すタイミングチャートである。

【図4】

図4は、本実施の形態のDLL回路の第1変形例を示す。

【図5】

図5は、本実施の形態のDLL回路の第1変形例の動作を示すタイミングチャ

ートである。

【図 6】

図 6 は、本実施の形態の D L L 回路の第 2 変形例を示す。

【図 7】

図 7 は、本実施の形態の D L L 回路の第 3 変形例を示す。

【図 8】

図 8 は、従来の D L L 回路を示す。

【図 9】

図 9 は、従来の D L L 回路の動作を示すタイミングチャートである。

【符号の説明】

1：入力バッファ

2：遅延選択回路

3、3'：遅延器

4：セレクタ

5：遅延合成回路

6₁～6_N：遅延素子

7：セレクタ

11～14：インバータ

15、16：Nチャネル MOSFET

17：NANDゲート

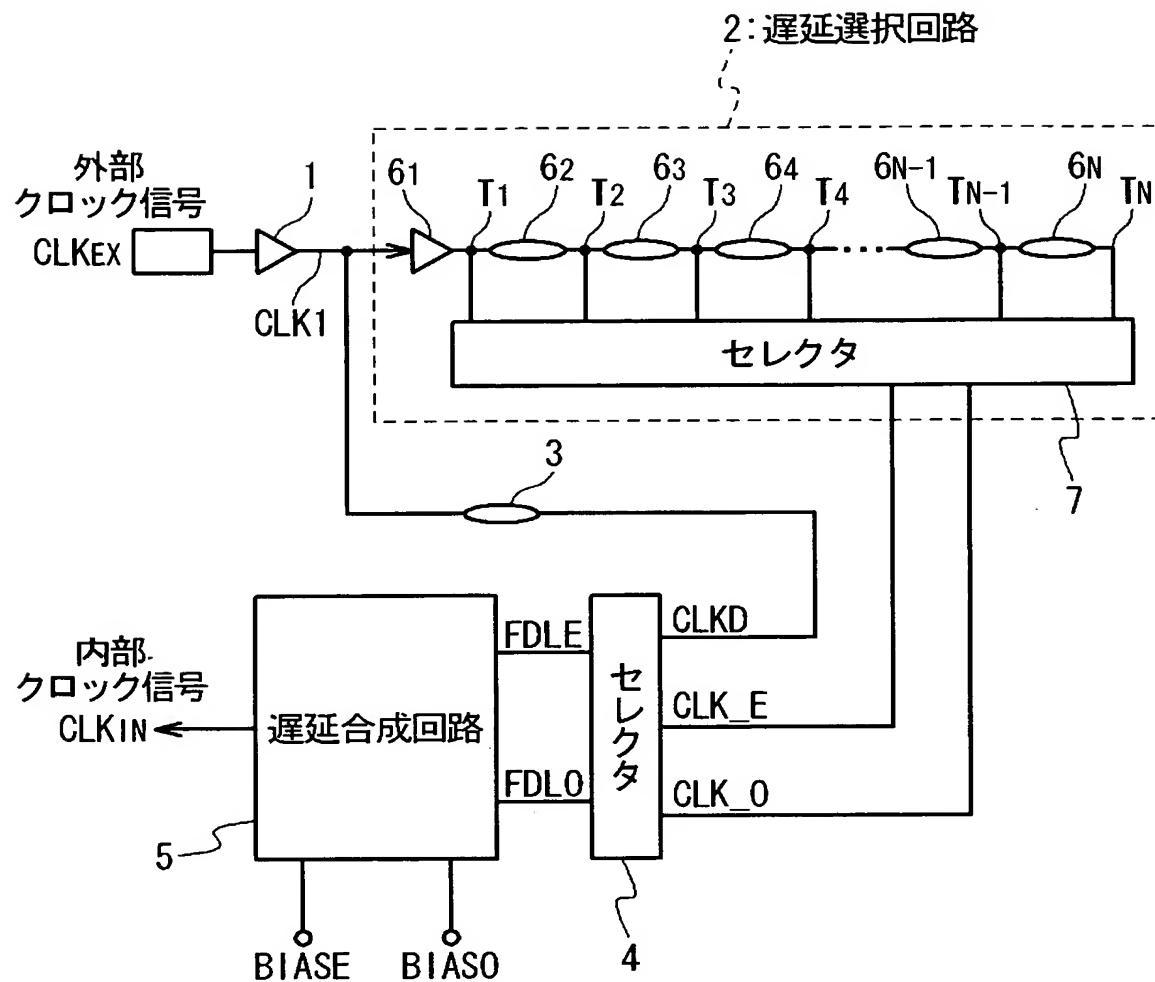
18、19：Pチャネル MOSFET

20、21：Nチャネル MOSFET

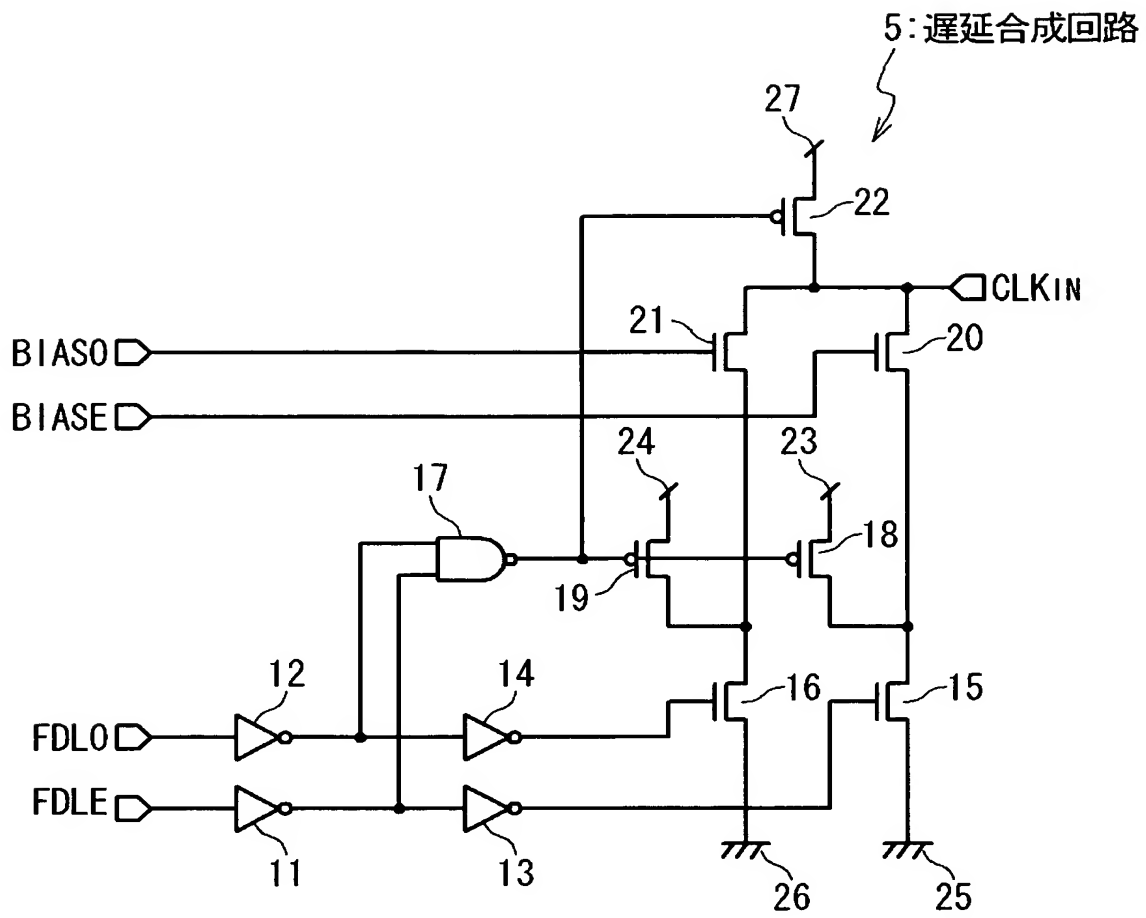
22：Pチャネル MOSFET

【書類名】 図面

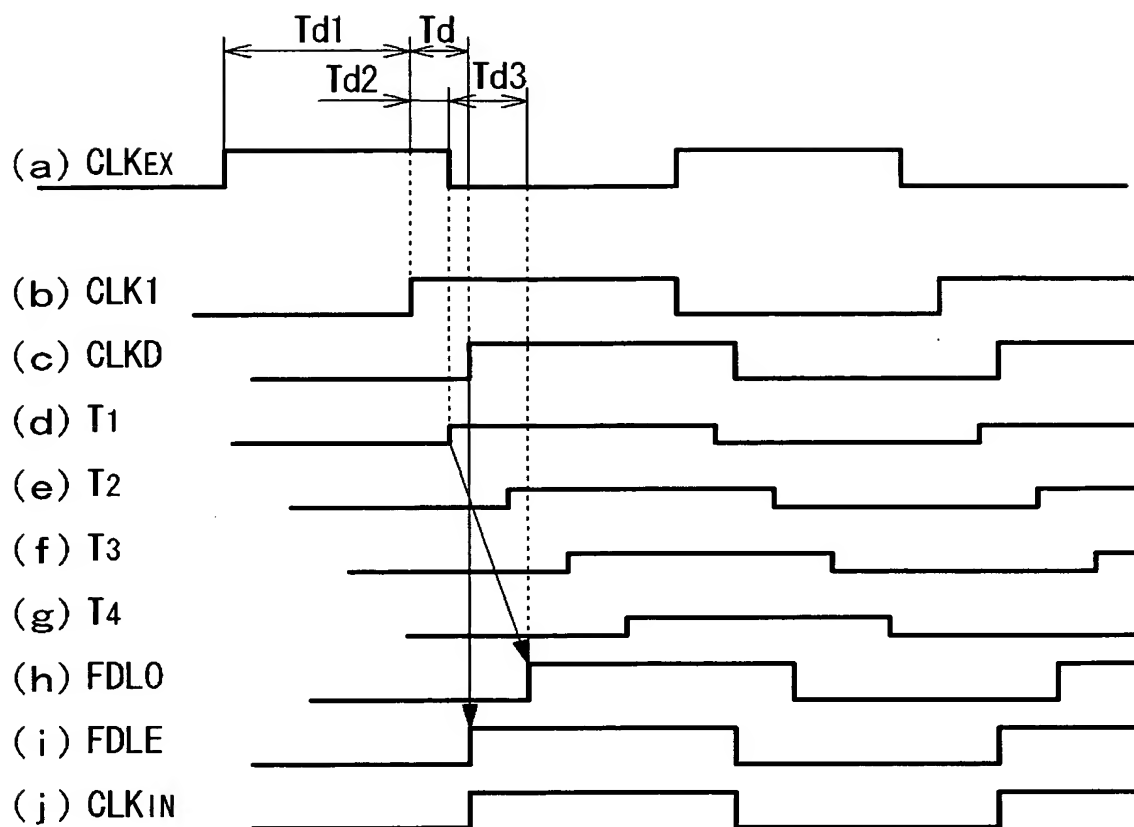
【図 1】



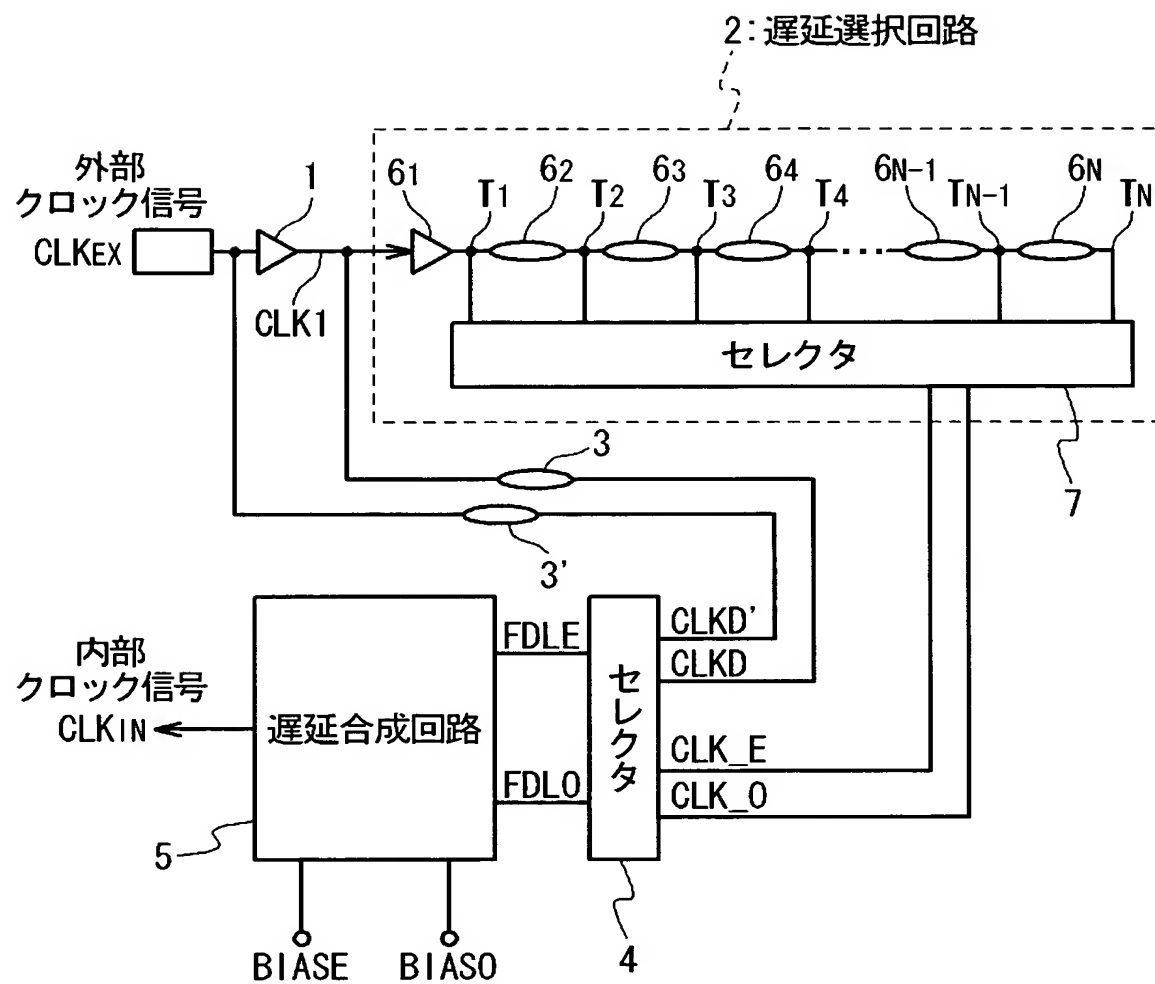
【図 2】



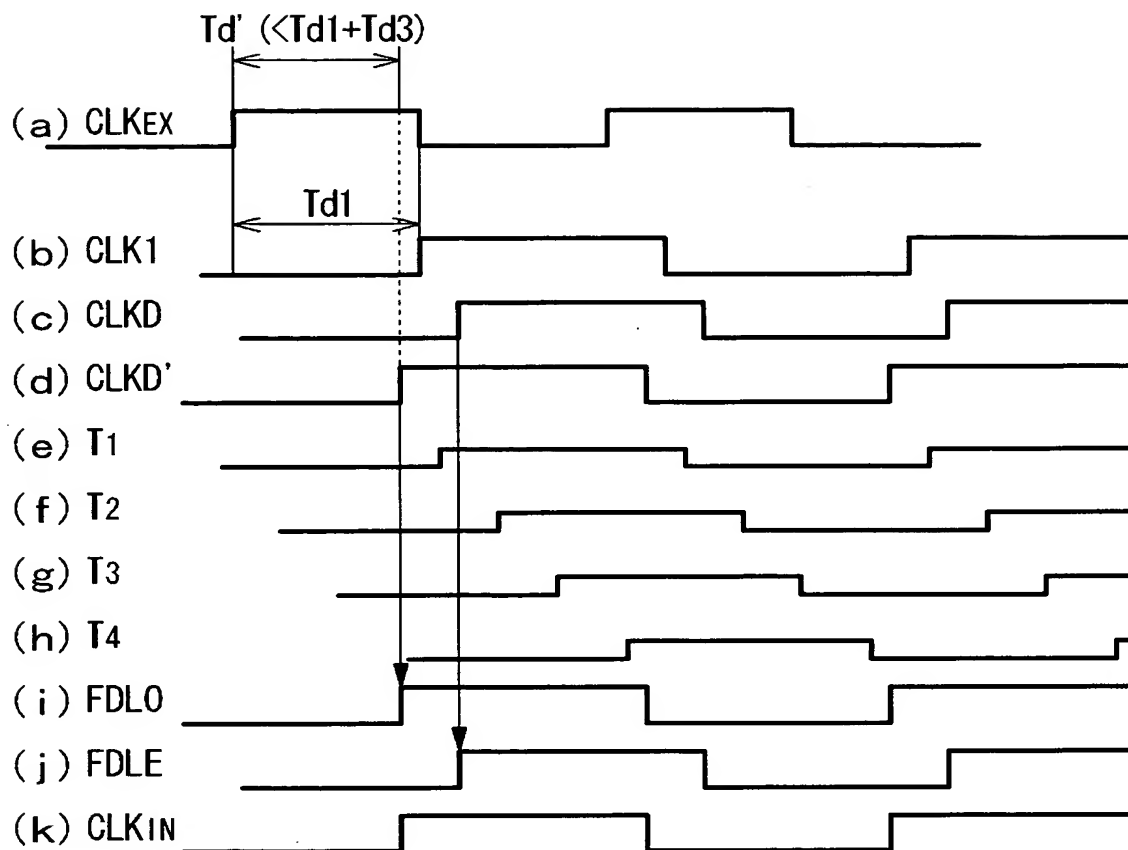
【図 3】



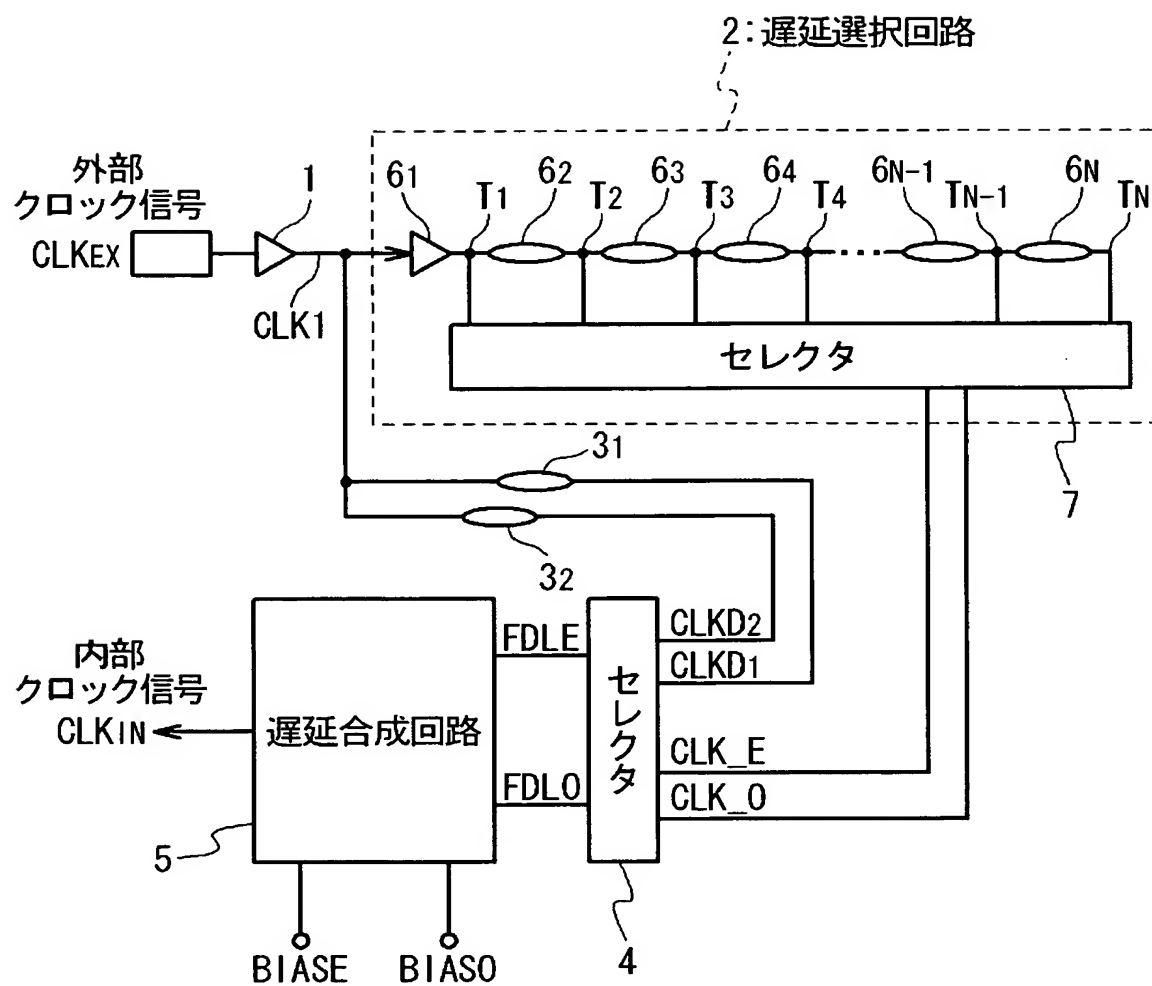
【図 4】



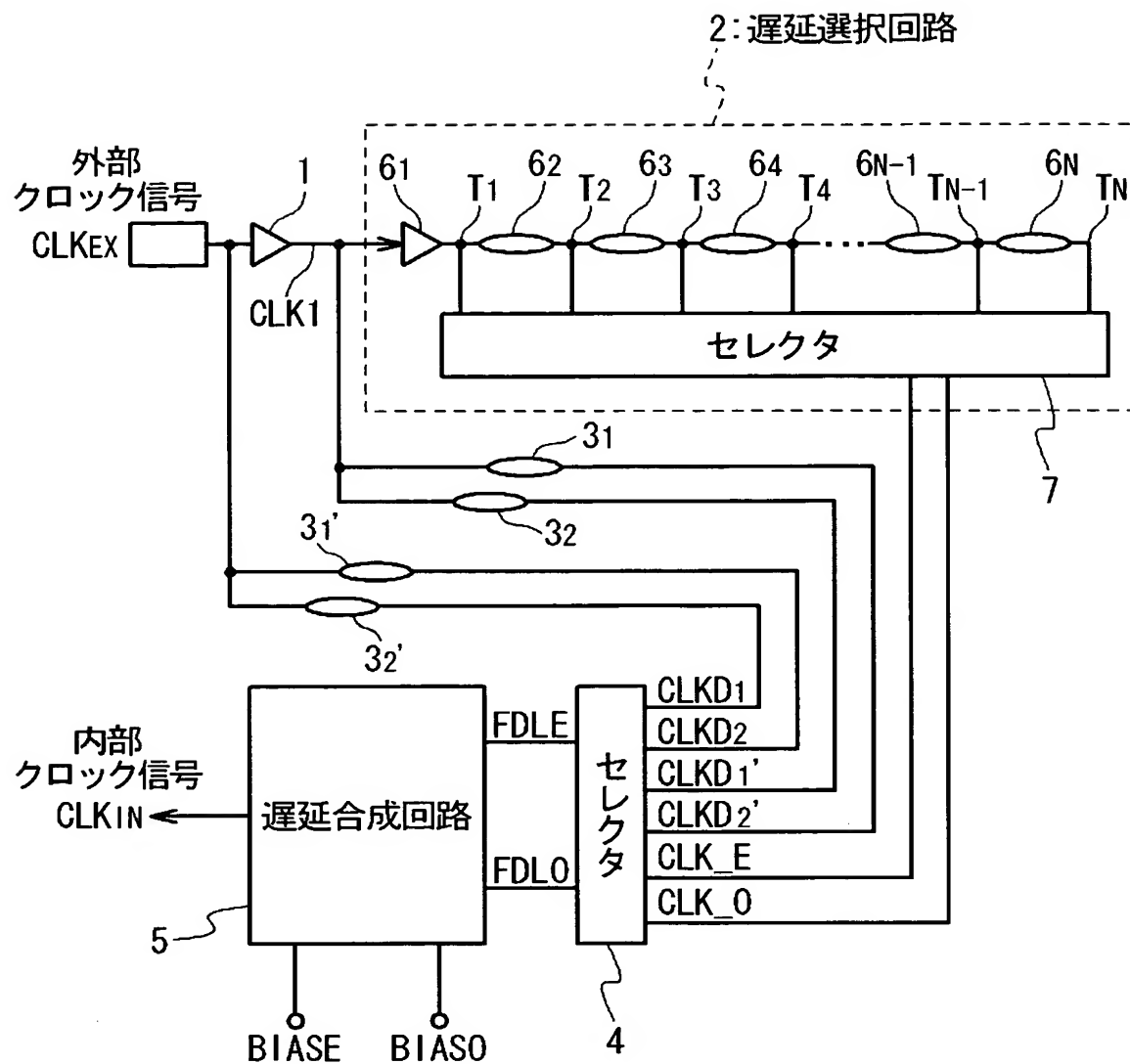
【図 5】



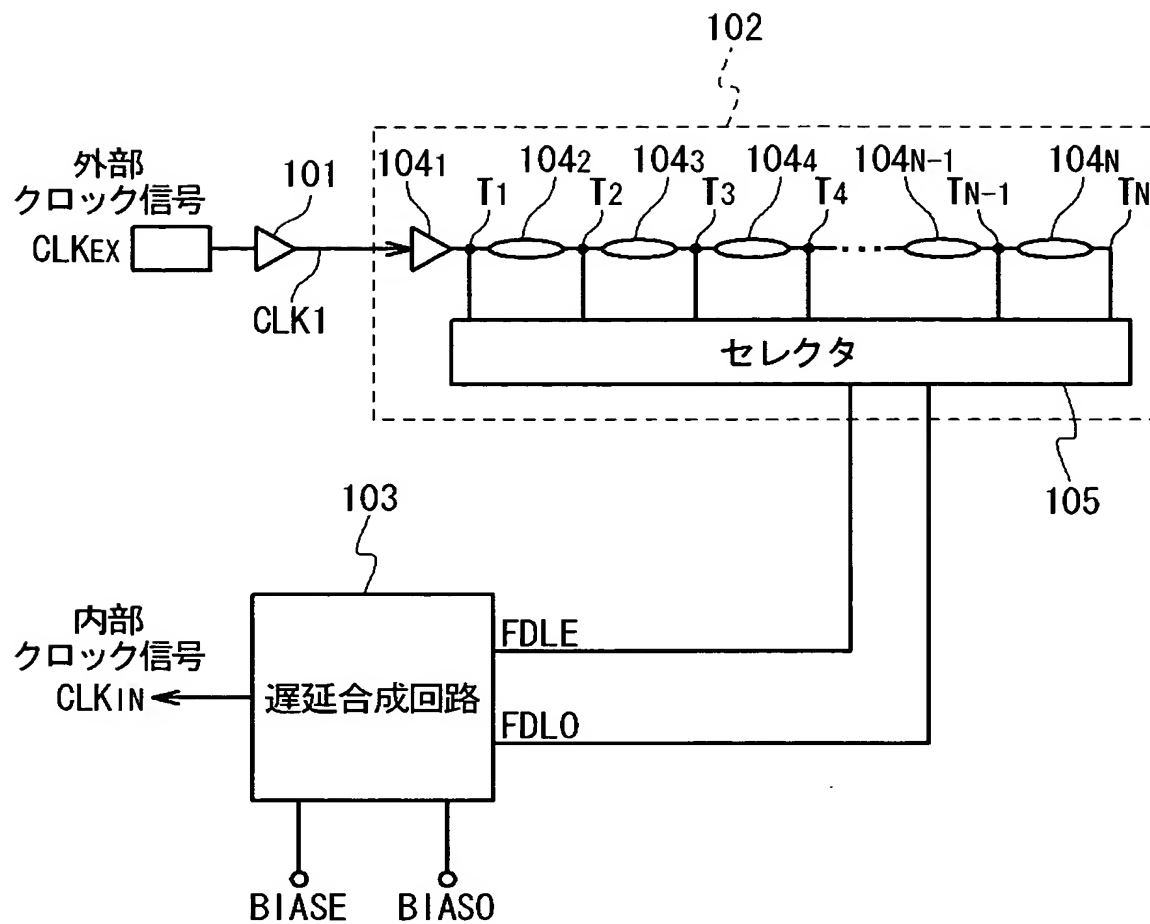
【図 6】



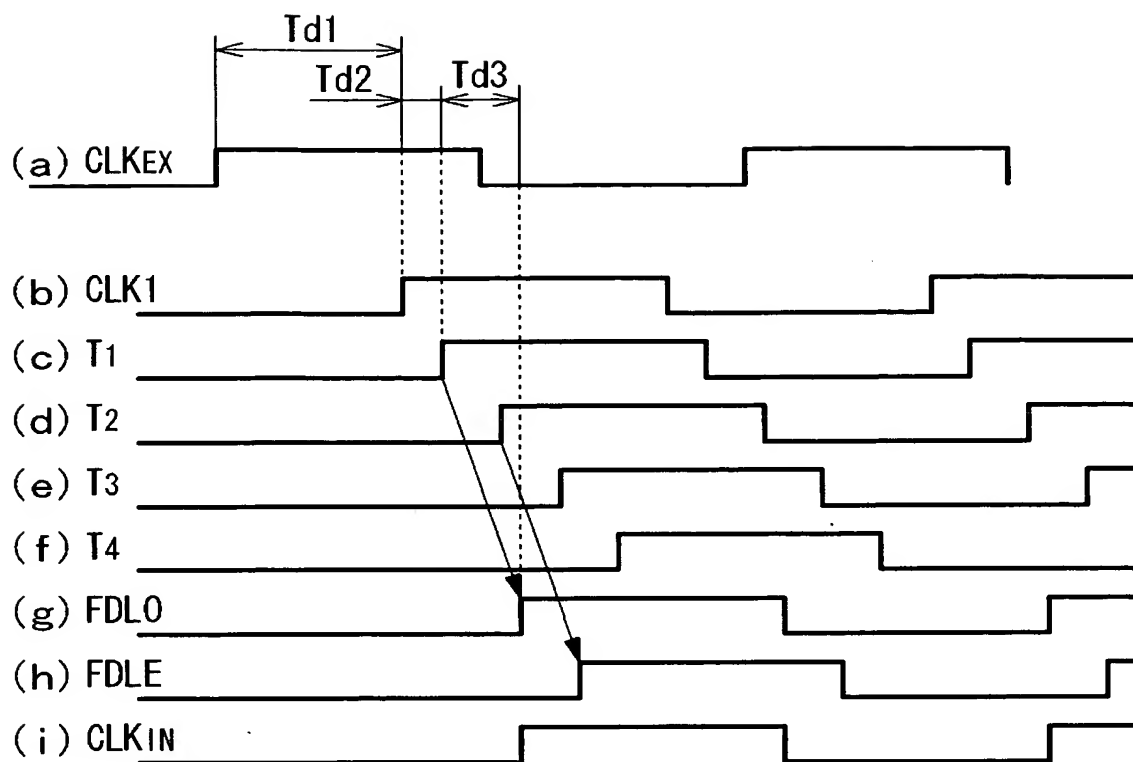
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 スルーレートを広範囲に調節可能でありながら、最小スルーレートが小さいDLL回路を提供する。

【解決手段】 本発明によるDLL回路は、入力クロック信号（CLK1）を遅延して、複数の遅延クロック信号（ $T_1 \sim T_N$ ）を出力する第1遅延回路と、複数の遅延クロック信号（ $T_1 \sim T_N$ ）のうちから第1遅延クロック信号及び第2遅延クロック信号（CLK_E、CLK_O）を選択して出力する第1セレクタ（7）と、入力クロック信号（CLK1）を遅延して少遅延クロック信号（CLKD）を生成する第2遅延回路（3）と、少遅延クロック信号（CLKD）と第1遅延クロック信号と第2遅延クロック信号（CLK_E、CLK_O）のうちから2つの選択クロック信号（FDLE、FDLO）を選択して出力する第2セレクタ（4）と、選択クロック信号（FDLE、FDLO）から内部クロック信号（CLK_IN）を生成して出力する遅延合成回路（5）とを備えている。

【選択図】 図1

特願 2 0 0 3 - 0 5 0 5 8 7

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社